

5.0V、8位可编程延时电路

概述

DS1124是一款功能与DS1021-25类似的8位可编程延时电路。可以通过3线串行接口编程256级延时。DS1124具有0.25ns步进调节，可以提供20ns至84ns的延时，积分非线性为 $\pm 3\text{ns}$ 。

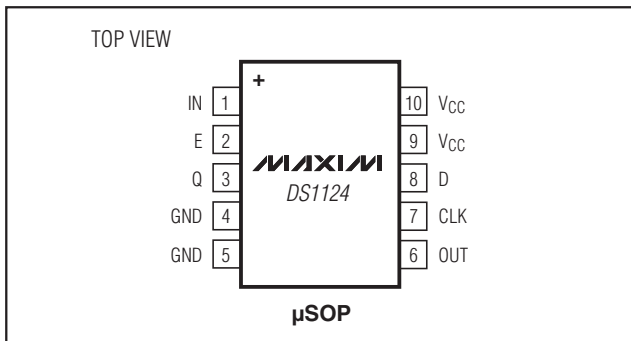
应用

LCD电视
 电信产品
 数字测试设备
 数字投影仪
 信号发生器和分析仪

特性

- ◆ 0.25ns步进间隔
- ◆ 精确的前沿和后沿延时
- ◆ CMOS/TTL兼容
- ◆ 可将信号延迟一个或多个周期
- ◆ 3线串行可编程接口
- ◆ 5.0V单电源供电
- ◆ 10引脚 μSOP 封装

引脚配置

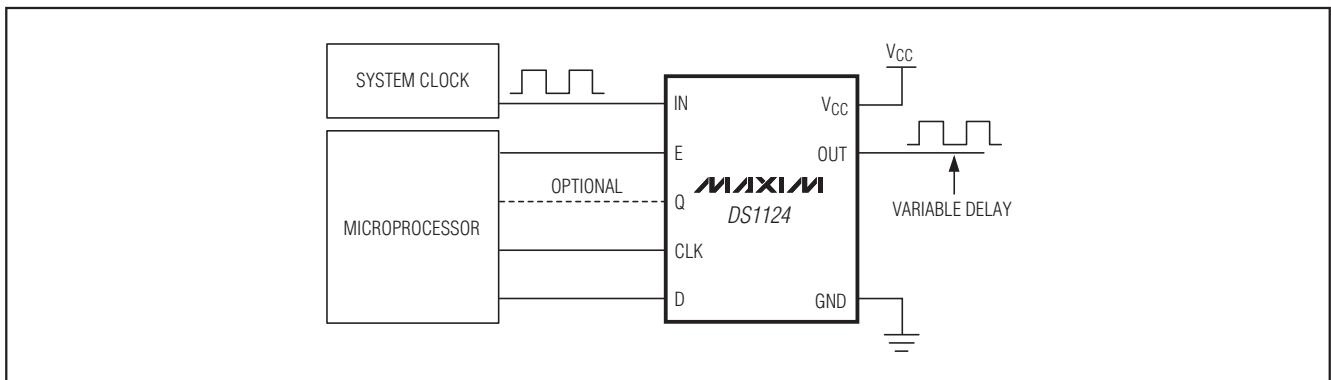


订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS1124U-25+	-40°C to +85°C	10 μSOP
DS1124U-25+T	-40°C to +85°C	10 μSOP

+表示无铅(Pb)/符合RoHS标准的封装。
 T = 卷带包装。

典型工作电路



5.0V、8位可编程延时电路

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} Pin Relative to Ground-0.5V to +6.0V
 Voltage Range on IN, E, D, and CLK
 Relative to Ground*-0.5V to (V_{CC} + 0.5V)
 Operating Temperature Range-40°C to +85°C

*Not to exceed +6.0V.

Storage Temperature Range-55°C to +125°C
 Short-Circuit Output Current50mA for 1 second
 Soldering Temperature.....See J-STD-020 Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +85°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	4.75		5.25	V
Input Logic 1	V _{IH}		2.2		V _{CC} + 0.3	V
Input Logic 0	V _{IL}		-0.3		+0.8	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Current	I _{CCA}			15	30	mA
High-Level Output Current	I _{OH}	V _{CC} = min, V _{OH} = 2.3V			-1.0	mA
Low-Level Output Current	I _{OL}	Q pin, V _{CC} = min, V _{OL} = 0.5V			4.0	mA
		OUT pin, V _{CC} = min, V _{OL} = 0.5V			8.0	
Input Leakage	I _L		-1.0		+1.0	μA

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f _{CLK}				10	MHz
Input Pulse Width (E, CLK)	t _{EW} , t _{CW}		50			ns
Data Setup to Clock	t _{DSC}		30			ns
Data Hold from Clock	t _{DHC}		0			ns
Data Setup to Enable	t _{DSE}		30			ns
Data Hold to Enable	t _{DHE}		0			ns
Enable Setup to Clock	t _{ES}		0			ns
Enable Hold from Clock	t _{EH}		30			ns
E to Q Valid	t _{EQV}				50	ns
E to Q High Impedance	t _{EQZ}		0		50	ns
CLK to Q Valid	t _{CQV}				50	ns
CLK to Q Invalid	t _{CQX}		0			ns

5.0V、8位可编程延时电路

DS1124

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +4.75V$ to $+5.25V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
E to Delay Valid	t_{EDV}				50	μs
E to Delay Invalid	t_{EDX}		0			ns
Power-Up Time	t_{PU}				100	ms
Delay Step Size	t_{STEP}	$T_A = +25^{\circ}C$	-0.75	+0.25	+1	ns
Step 0 Delay	t_{D0}	(Note 2)	17	20	23	ns
Step 0 Delay Initial Accuracy		$V_{CC} = 5V, T_A = +25^{\circ}C$	-0.6		+0.6	ns
Step 0 Voltage Variation			-0.4		+0.4	ns
Step 0 Temperature Variation		$0^{\circ}C$ to $+70^{\circ}C$	-1		+1	ns
Step 0 Temperature Variation		$-40^{\circ}C$ to $+85^{\circ}C$	-1		+1	ns
Step 255 Delay	t_{D255}	(Note 2)	77	83.75	88	ns
Step 255 Delay Initial Accuracy		$V_{CC} = 5V, T_A = +25^{\circ}C$	-0.6		+0.6	ns
Step 255 Voltage Variation			-0.4		+0.4	ns
Step 255 Temperature Variation		$0^{\circ}C$ to $+70^{\circ}C$	-3		+3	ns
Step 255 Temperature Variation		$-40^{\circ}C$ to $+85^{\circ}C$	-5		+5	ns
Integral Nonlinearity (Deviation from Straight Line)	t_{ERR}	$V_{CC} = 5V, T_A = +25^{\circ}C$ (Note 3)	-2	0	+2	ns
Minimum Input Pulse Width	t_{WI}	(Note 4)	40			ns
Minimum Input Period	t_{PER}	(Note 5)	80			ns
Input Rise and Fall Times	t_R, t_F	(Note 6)	0		1	μs

Note 1: All voltages are referenced to ground.

Note 2: Measured from rising edge of the input to the rising edge of the output. The programmed delay, t_D , can be programmed with values from 0 to 255. See Figure 1.

Note 3: See the *Integral Nonlinearity* section and Figure 5.

Note 4: This is the minimum allowable interval between transitions on the input to ensure accurate device operation. This parameter can be violated but timing accuracy may be impaired and ultimately very narrow pulse widths will result in no output from the device. See Figure 1.

Note 5: When a 50% duty cycle input clock is used, this defines the highest usable clock frequency. When asymmetrical clock inputs are used, the maximum usable clock frequency must be reduced to conform to the minimum input pulse-width requirement. See Figure 1.

Note 6: Faster rise and fall times give the greatest accuracy in measured delay. Slow edges (outside the specification maximum) can result in erratic operations.

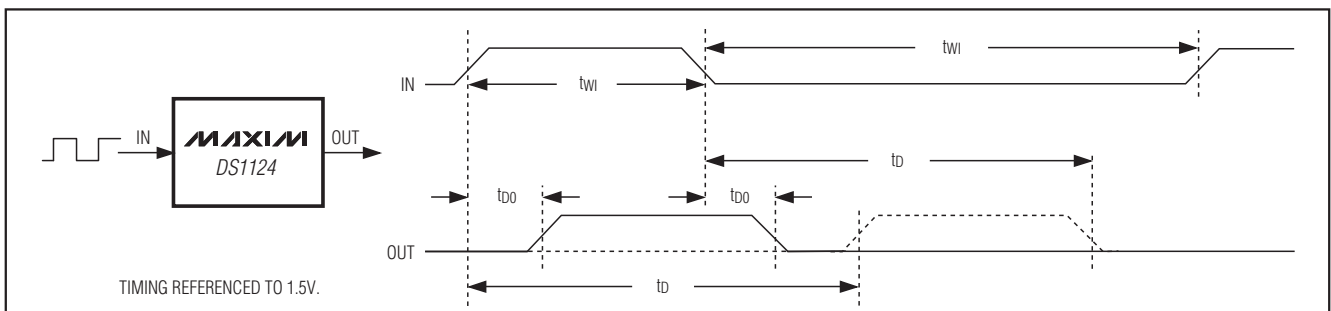
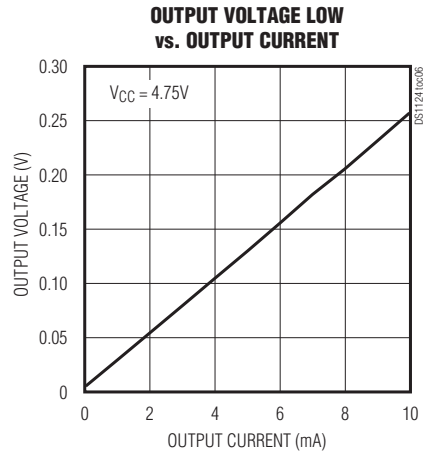
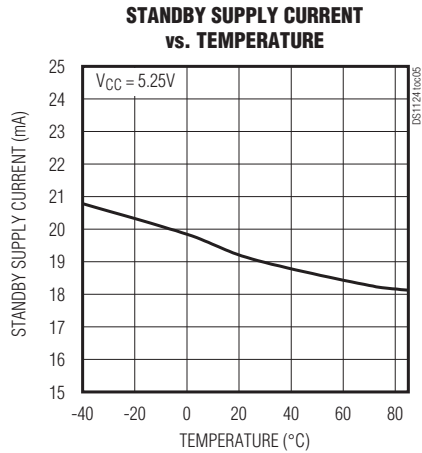
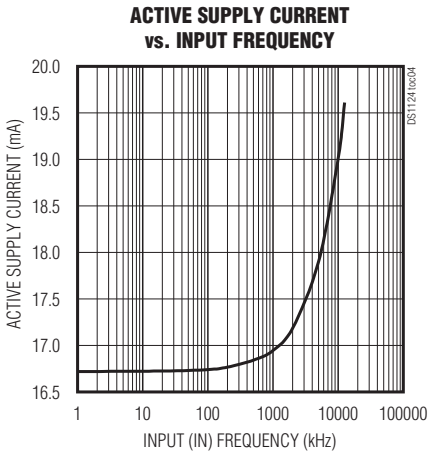
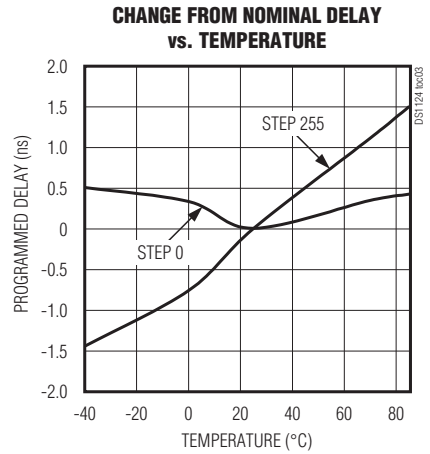
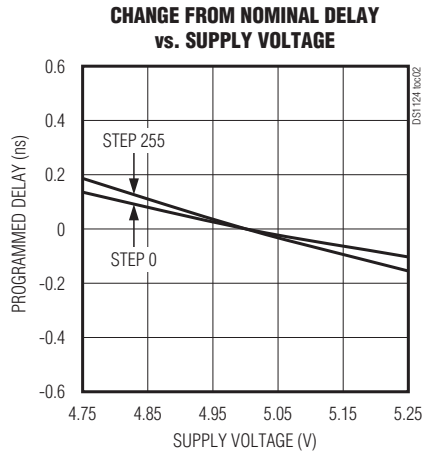
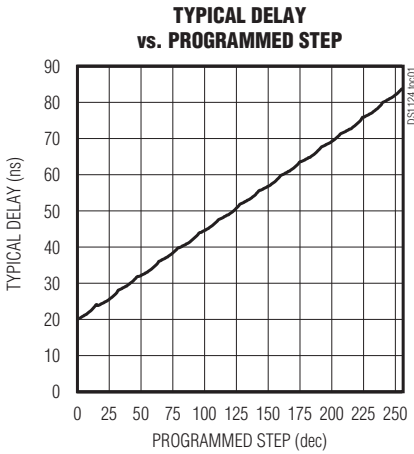


图1. 延迟时序图

5.0V、8位可编程延时电路

典型工作特性

($V_{CC} = +5.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)

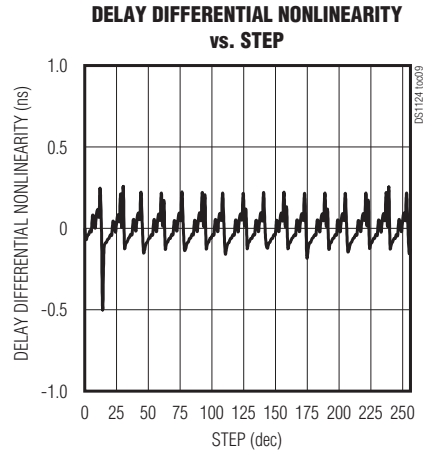
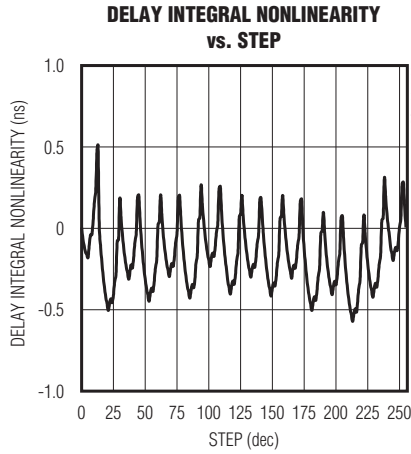
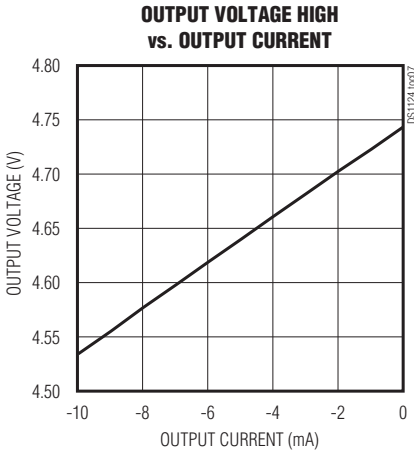


5.0V、8位可编程延时电路

典型工作特性(续)

($V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)

DS1124

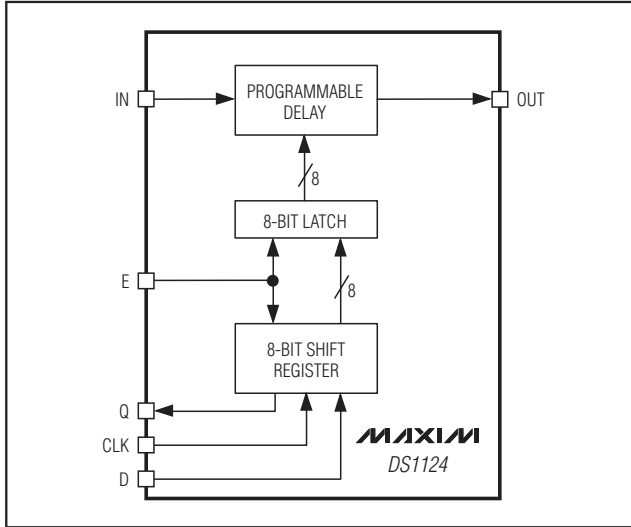


引脚说明

引脚	名称	功能
1	IN	延迟信号输入。
2	E	输入使能。
3	Q	串行数据输出。
4, 5	GND	地, 必须连接两个地端。
6	OUT	延迟信号输出。
7	CLK	串行时钟输入。
8	D	串行数据输入。
9, 10	VCC	电源, 必须连接两个电源端。

5.0V、8位可编程延时电路

方框图



使用串行编程接口

串行工作模式类似于移位寄存器，引脚E置为高电平时使能移位寄存器，由CLK将数据D逐位移至寄存器，从最高有效位开始，每个时钟移动1位。8位数据全部移入DS1124后，必须拉低E，结束数据传输，使新的数据有效。E拉低后，在信号延迟达到指定的精度之前需要一定的建立时间(t_{EDV})，串行接口的时序图如图3所示。

3线接口还有一个输出端(Q)，可以用来级联多个3线器件，还可以用于读取总线器件的当前值。读取3线器件存储的当前值时，必须使能闭锁，并在读取Q值、寄存器移位时钟结束之前写回D。从而在读取寄存器当前值的同时又将数据写回DS1124。这个操作可以通过2种不同方式进行。如果微处理器的I/O设为输入时呈高阻态，可以通过一个反馈电阻(R_{FB} ，通常在 $1k\Omega$ 至 $10k\Omega$ 之间)，在读取数据同时将Q数据再写回到D端，请参考图4A。如果微处理器在I/O引脚有内部上拉电阻，或只提供独立的输入和输出引脚，仍然可以读取寄存器值。图4B所示电路允许微处理器读取Q值，在向总线发送时钟读取下一位数据之前，必须先将Q值写入D端。如果读取Q值后没有将其写回D端，这个读过程都将是破坏性的操作(无论是否具有上拉)，破坏性的读操作可能造成延迟设置发生不可预测的改变。

详细说明

DS1124是一款8位可编程延时线，可以选择256个不同的延迟时间。DS1124架构(见图2)允许一些信号延迟多个周期，信号相位最大可调节至 360° 。通过3线串行接口编程，利用3线接口可以级联多个器件，无需占用额外的I/O资源即可满足多路延迟设置的需求。

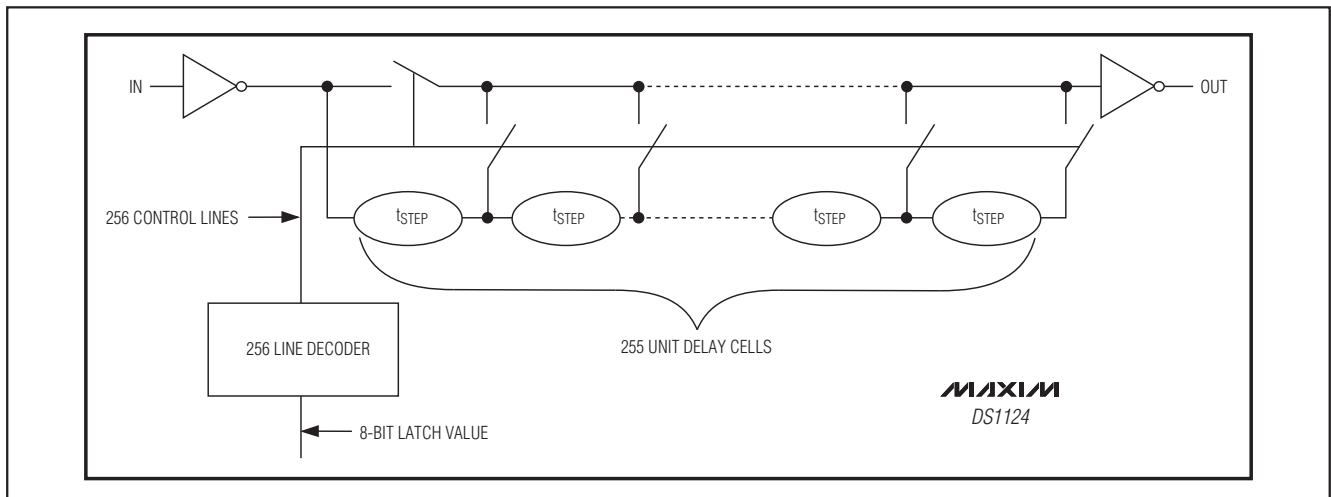


图2. 设计原理

5.0V、8位可编程延时电路

DS1124

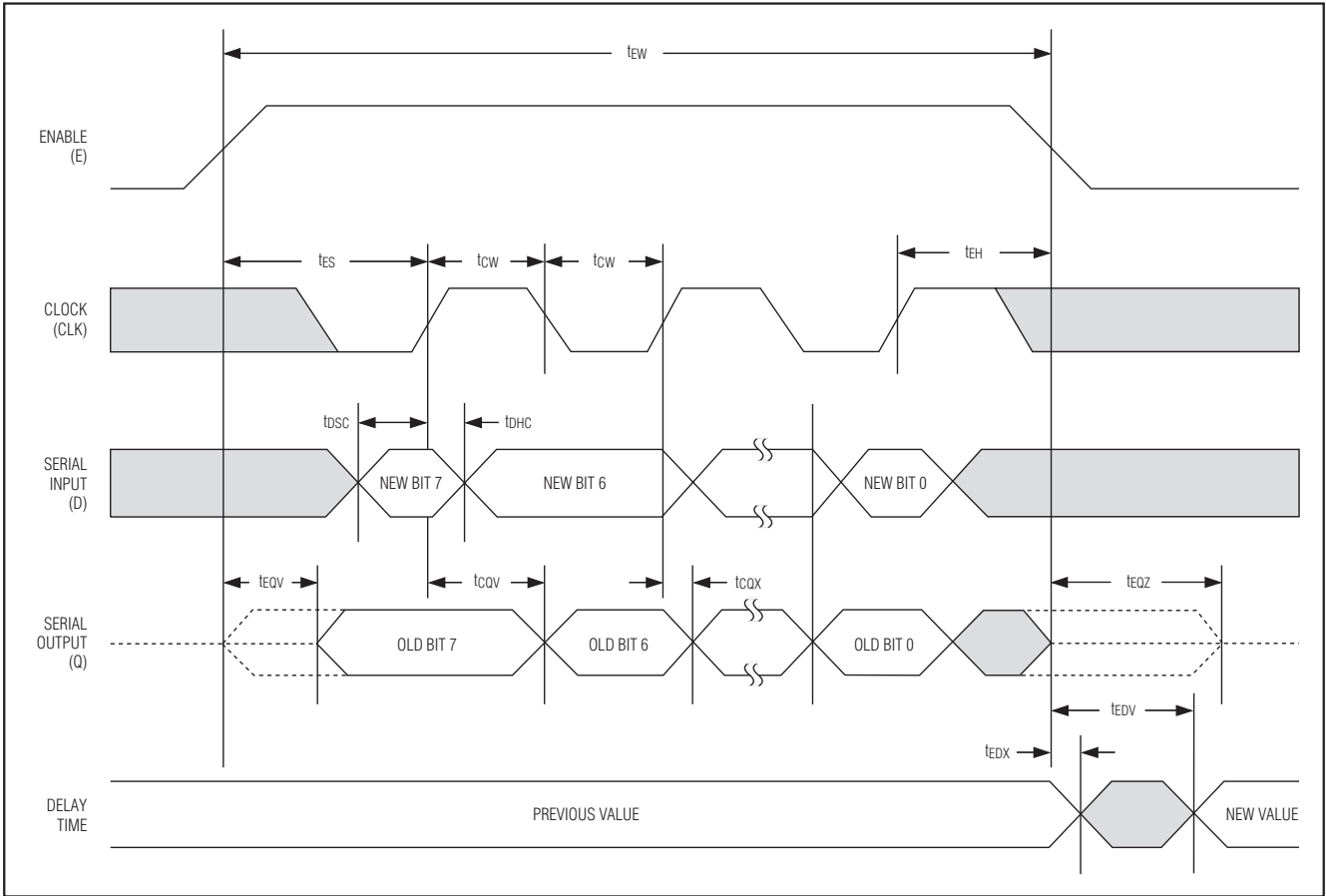


图3. 串行接口时序图

图4C显示了如何将多个DS1124级联到同一3线总线，对于级联3线器件的写程序来说，最重要的因素是总线上的所有器件必须在每个读/写周期内全部读取或写入。只对第一个器件(U1)进行写操作时，会导致U1存储的数据移入U2，U2存储的数据移入U3，以此类推。如图所示，微处理器在每个读、写周期必须移动24位数据，以避免任何3线器件的设置发生不正确的改变。还需说明的是：多个器件级联时，通过反馈电阻或单独的输入(没有画出)也可以读取3线器件。

积分非线性

积分非线性(INL)定义为实际测量值与第0级延时(t_{D0})和第255级延时(t_{D255})之间理想拟合直线的偏差值除以第0级延迟时间，图5以图形方式给出了INL对延迟性能的影响。

应用信息

电源去耦

使用DS1124时，为获得最佳效果，须使用一个 $0.01\mu\text{F}$ 和 $0.1\mu\text{F}$ 电容对电源进行去耦。应选择高质量的陶瓷表贴电容，并将电容尽可能靠近DS1124的 V_{CC} 和GND引脚安装，降低引线电感。如果没有良好的去耦电路，DS1124可能无法达到规定的性能指标。

5.0V、8位可编程延时电路

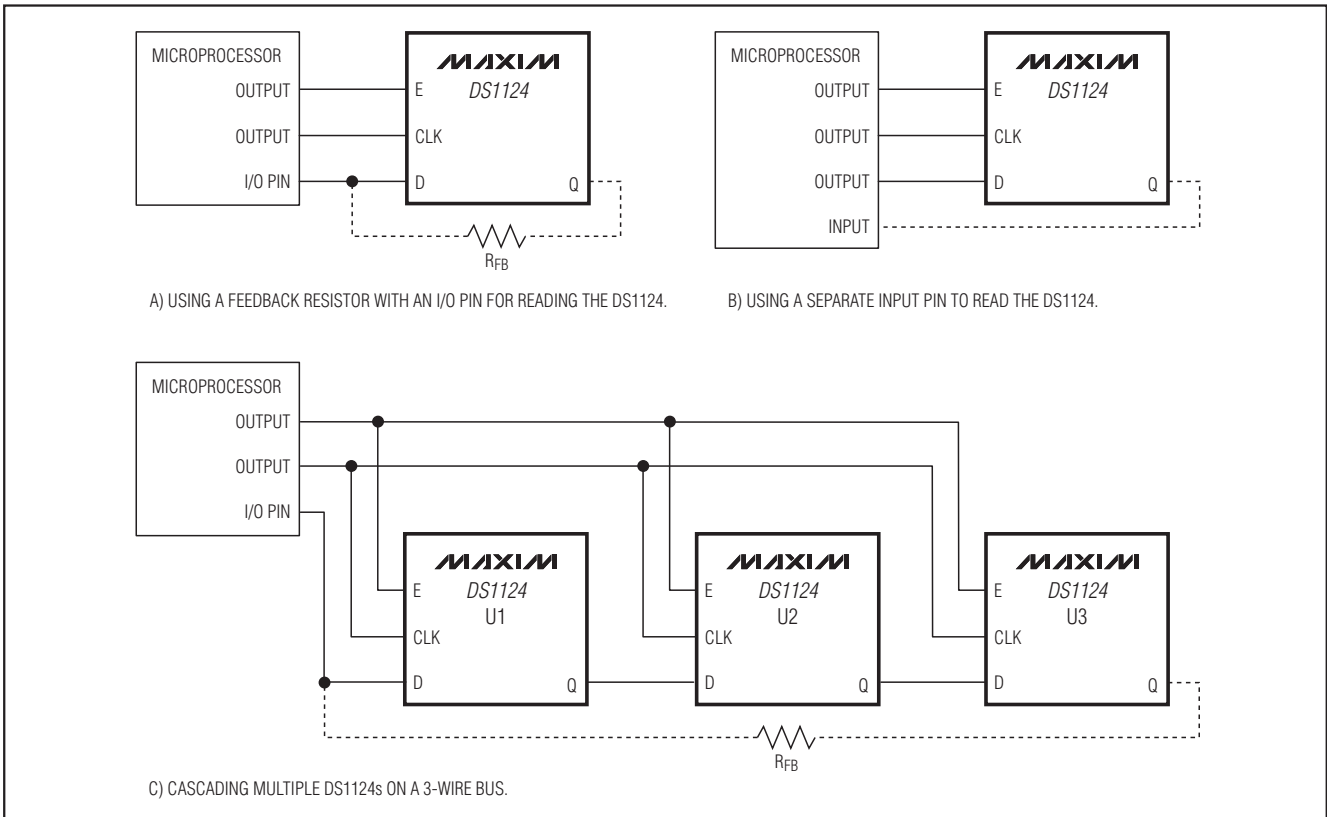


图4. 串行接口应用举例

测试条件

输入：

环境温度： 25°C ±3°C

电源电压(V_{CC}): 5.0V ±0.1V

输入脉冲： 高电平 = 3.0V ±0.1V
低电平 = 0.0V ±0.1V

源电阻： 最大50Ω

上升和下降时间： 最大3.0ns (在0.6V和2.4V之间测量)

脉冲宽度： 250ns

周期： 10μs

输出： 输出负载为15pF。延迟时间在输入信号上升或下降沿的1.5V电平处和对应的输出信号边沿处进行测量。

注： 上述条件仅用于测试，并不限制器件在数据资料中规定的其它条件下的工作。

5.0V、8位可编程延时电路

DS1124

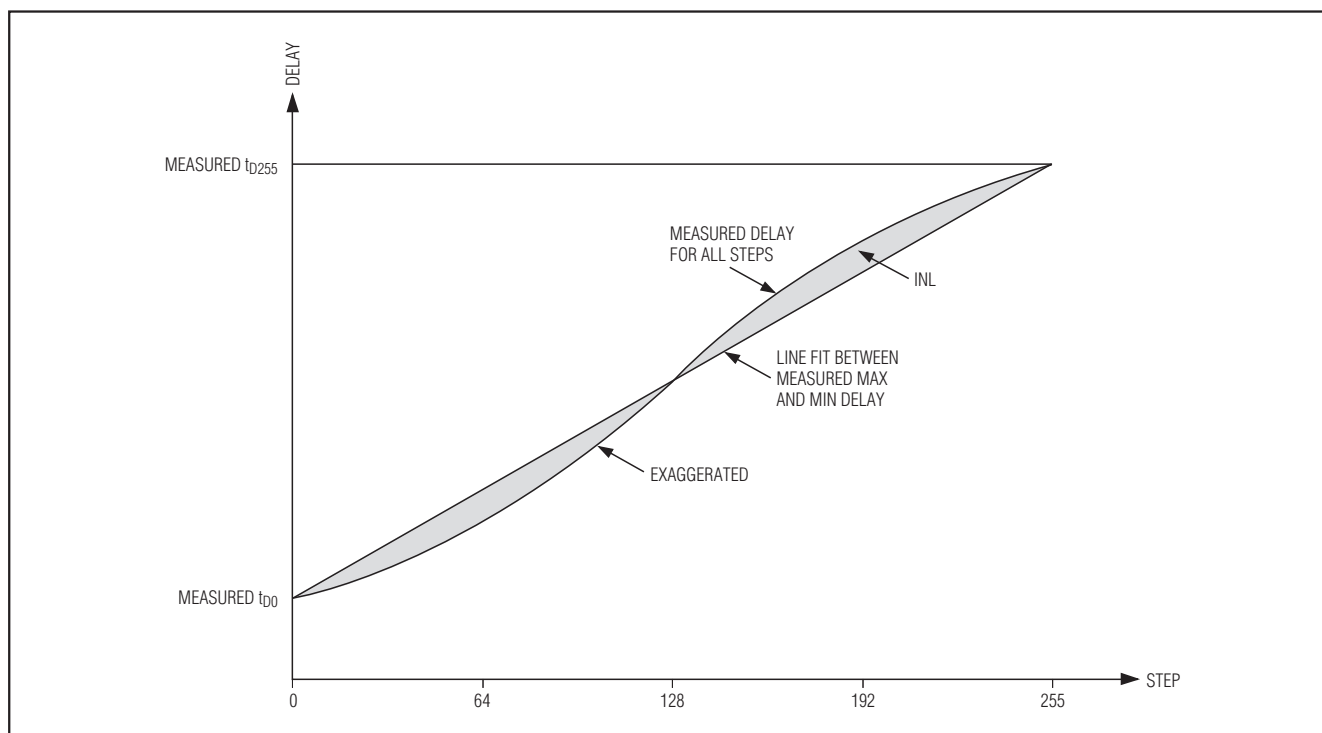


图5. 积分非线性

封装信息

如需最近的封装外形信息和焊盘布局，请查询 www.maxim-ic.com.cn/packages。

封装类型	封装编码	文档编号
10 μ SOP	—	21-0061

5.0V、8位可编程延时电路

修订历史

修订次数	修订日期	说明	修改页
0	7/07	最初版本。	—
1	4/09	在 <i>Electrical Characteristics</i> 表中的 t_{ERR} 指标中增加了 $V_{CC} = 5V$ 的条件，表明仅在 $T_A = 25^{\circ}C$ 并且 $V_{CC} = 5V$ 条件下进行了测试。	3

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

10 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**